

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284641

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

H01L 33/00

G09F 9/33

H01L 27/15

(21)Application number : 2000-101371

(71)Applicant : SONY CORP

(22)Date of filing : 31.03.2000

(72)Inventor : OKUYAMA HIROYUKI

TODA ATSUSHI

NAKAO ISAMU

SHIRAI KATSUYA

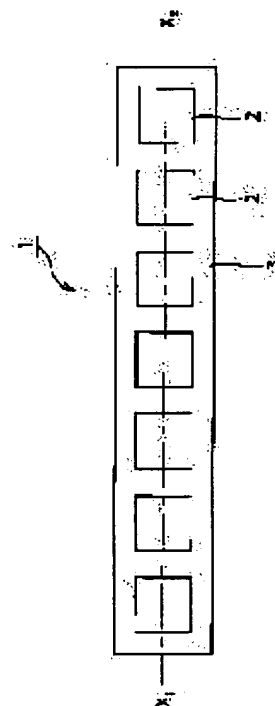
KOJIMA SHIGERU

(54) IMAGE DISPLAY ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image display element for facilitating mounting and electrode wiring, improving production efficiency and displaying high quality images.

SOLUTION: A substrate for crystal growth composed by successively crystal- growing the respective layers of a light emitting diode element provided with a multi-layer structure is divided and a bar-shaped body for which the plurality of light emitting diode elements are linearly arrayed is attained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-284641
(P2001-284641A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 33/00		H 0 1 L 33/00	A 5 C 0 9 4 C 5 F 0 4 1
G 0 9 F 9/33		G 0 9 F 9/33	Z
H 0 1 L 27/15		H 0 1 L 27/15	Z

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願2000-101371(P2000-101371)

(22) 出願日 平成12年 3 月31日 (2000. 3. 31)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 奥山 浩之

東京都品川区北品川 6 丁目 7 番35号 ソニ
ー株式会社内

(72) 発明者 戸田 淳

東京都品川区北品川 6 丁目 7 番35号 ソニ
ー株式会社内

(74) 代理人 100067736

弁理士 小池 晃 (外 2 名)

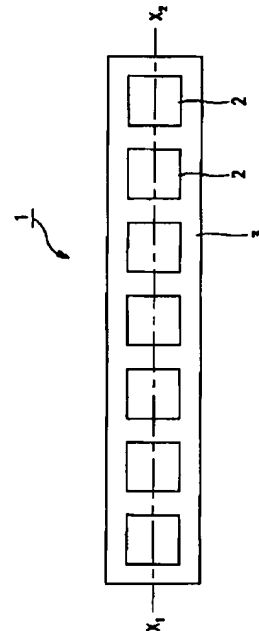
最終頁に続く

(54) 【発明の名称】 画像表示素子

(57) 【要約】

【課題】 実装及び電極配線が容易で生産効率が高く、
高画質画像が表示可能な画像表示素子を提供する。

【解決手段】 多層構造を有する発光ダイオード素子の
各層が順次結晶成長されてなる結晶成長用基板を分割し
て複数の発光ダイオード素子が直線状に配列された棒状
体とする。



【特許請求の範囲】

【請求項1】 多層構造を有する発光ダイオード素子の各層が順次結晶成長されてなる結晶成長用基板が分割され、複数の発光ダイオード素子が同じ基板上に直線状に配列された棒状体とされてなることを特徴とする画像表示素子。

【請求項2】 上記結晶成長用基板は、モース硬度7以下の材料よりなることを特徴とする請求項1記載の画像表示素子。

【請求項3】 上記モース硬度7以下の材料は、単結晶シリコンであることを特徴とする請求項2記載の画像表示素子。

【請求項4】 上記発光ダイオード素子は、窒化物半導体素子であることを特徴とする請求項1記載の画像表示素子。

【請求項5】 上記窒化物半導体素子は、GaN系III-V族半導体素子であることを特徴とする請求項4記載の画像表示素子。

【請求項6】 上記発光ダイオード素子の各層のうち、活性層に希土類元素がドーピングされることを特徴とする請求項1記載の画像表示素子。

【請求項7】 上記画像表示素子には、上記複数の発光ダイオード素子の共通電極が設けられていることを特徴とする請求項1記載の画像表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、発光ダイオード素子に関し、特にLEDを用いた発光ダイオード素子複数配置したチップに関する。

【0002】

【従来の技術】近年の急速な技術の発達により、大量の情報データを処理することが可能となり、これに伴い、大量な画像情報を処理及び表示可能なフルカラー表示装置に対する要求が高まっている。このような表示装置の一つとして発光ダイオード（Light-emitting diode、以下LEDと呼ぶ）素子を利用したものがある。即ち、高輝度低電圧で駆動可能なLED素子をマトリクス状など所望の形状に配置し、個々のLED素子をそれぞれ駆動させることにより、所望の画像が得られる表示装置を作ることができる。そして、特開昭56-1738号公報、特開平5-53511号公報、特開平7-335942号公報、特開平9-197979号公報、特開平10-22529号公報、特開平8-306961号公報、特開平7-129097号公報、特開平6-232456号公報、特開平6-45660号公報等に記載されているように、LED素子をマトリクス状に配置した多くの表示装置が提案されている。

【0003】

【発明が解決しようとする課題】ところで、このような表示装置を製造する工程においては、大画面上にLED

素子を1個ずつ実装配線することが必要となるが、この工程には非常に多くの時間を要し、製造歩留まりも低くなることは容易に考えられる。そこで、例えば、特開平7-129097号公報に記載されてあるように、LED素子3個×3個のマトリクスの小さなユニットに分割して作製し、ユニット毎に実装配線を多数平行して行うことで1ユニット当たりの歩留まりと製造時間の問題を解決することができる。

【0004】しかしながら、この場合、ユニットを小さくしすぎると、大きな画面として実装し、配線する際の歩留まりが低くなるという問題が生じる。そこで、実装配線にとって最適な大きさのユニットを形成する必要がある。また、このようにユニットを形成した場合の電極の取り出し方法としては、例えば特開昭56-1738号公報に記載されるような方法があるが、このような方法の場合には、各ユニット間の境界が目立ってしまい本来の画像情報が表示できなくなってしまうという問題がある。

【0005】したがって、本発明は、上述した従来の問題点を鑑みて創案されたものであり、実装及び電極配線が容易で生産効率が良く、高画質画像が表示可能な画像表示素子を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明に係る画像表示素子は、多層構造を有する発光ダイオード素子の各層が順次結晶成長されてなる結晶成長用基板が分割され、複数の発光ダイオード素子が直線状に配列された棒状体とされてなることを特徴とするものである。

【0007】本発明に係る画像表示素子は、多層構造を有する発光ダイオード素子の各層が順次結晶成長されてなる結晶成長用基板が分割され、複数の発光ダイオード素子が直線状に配列された棒状体とされている。

【0008】この画像表示素子においては、複数の発光ダイオード素子が配列されているため、画像表示素子を基本単位とすることにより表示装置等を形成する際のLED素子の実装工数及び電極の配線数が大幅に削減されるため、生産効率の優れたものとなり、また、視認性の良い高画質画像を表示することができる。

【0009】

【発明の実施の形態】以下、図面を参照して、本発明を詳細に説明する。

【0010】第1の実施の形態

図1乃至図3に、本発明を適用した画像表示素子の一例を示す。図1は、本発明を適用した画像表示素子1の平面図である。図2は、図1のX₁-X₂線における縦断面図である。また、図3は、LED素子部の縦断面図である。

【0011】本発明を適用した画像表示素子1は、活性層が、n導電側の半導体層と、p導電側の半導体層との間に形成されてなるLED素子を複数備えて構成され

る。ここで、p導電側とは、活性層とp電極との間にある半導体層を指し、n導電側とは、活性層を挟んで、p導電側と反対側にある半導体層を指すものとする。即ち、本発明を適用した画像表示素子1は、例えばLED素子の結晶成長用の基板3であるSi基板と、Si基板の一主面上に形成されたn側バッファ層4であるAlN:Si層と、AlN:Si層上に形成されたn側バッファ層5であるGaN:Si層と、GaN:Si層上に形成されたn側クラッド層6であるAlGaN:Si層と、AlGaN:Si層上に形成された活性層7であるInGaN/GaN層と、InGaN/GaN層上に形成されたp側クラッド層8であるAlGaN:Mg層と、AlGaN:Mg層上に形成されたp側コンタクト層9であるGaN:Mg層と、GaN:Mg層上に形成されたp電極10と、Si基板の他主面に形成されたn電極11とを有するLED素子2を複数備えて構成される。

【0012】上記画像表示素子1は、図1乃至図3に示すように、LED素子2を当該LED素子2の結晶成長に用いた基板を棒状にへき開又は切断し、基板上に、直線状に複数配置することを特徴とする。

【0013】即ち、上記画像表示素子1は、所定数のLED素子2が当該LED素子2の結晶成長用の基板3上に配置され、これを基本単位とするため、表示装置等を作製する際の他の基板への実装工数を大幅に削減することが可能となる。したがって、LED素子2の実装を簡便かつ効率的に行うことができるため、生産効率を向上させることができる。

【0014】また、画像表示素子1の各LED素子2が形成された側と反対側の主面には、画像表示素子1上の各LED素子2全てに共通のn電極11が形成されている。したがって、表示装置等を作製する際の電極の配線数を大幅に削減することが可能となり、電極の配線を簡便かつ効率的に行うことができるため、生産効率を向上させることができるとともに、電極配線の信頼性も向上させることができる。

【0015】また、上記画像表示素子1においては、LED素子2の結晶成長用の基板3上に、窒化物を成長させ、窒化物半導体によりLED素子2を形成したことを特徴とする。

【0016】窒化物半導体によりLED素子2を形成することによりRGBを得ることができ、しかも劣化が少なく発光高効率を高くできるという効果を得ることができる。そして、窒化物半導体としては、GaN系III-V族を好適に用いることができる。

【0017】また、上記画像表示素子1においては、LED素子2の結晶成長用の基板3として、モース硬度が7以下の材料を用いることを特徴とする。

【0018】GaN等の窒化物系の結晶は、通常サファイア基板上に成長させるが、サファイアは、モース硬度

が9であり、非常に硬く、通常へき開を行うダイシングソー等の手段では、高精度に切断することが非常に困難である。ダイシングソーを用いてサファイア基板を棒状に切断を行うと、通常は、一つの切断面に、長手方向において20μm程度のばらつきが生じる。しかしながら、このへき開での切断のばらつきが大きい場合、表示装置を作製する後の工程である画像表示素子1を別の基板上に実装する工程において不具合が生じてしまう。そのため、画像表示素子1の長手方向における切断のばらつきは、画像表示素子1の両側面を合わせて10μm程度に押さえる必要がある。

【0019】そこで、モース硬度が6以下の材料をLED素子の結晶成長用の基板3として用いることにより、へき開を行う際の切断面の寸法のばらつきを低減することができ、精度良くへき開を行うことができるとともに、歩留まりを向上させることもできる。このような条件を満たすものとしては、例えばモース硬度が7である石英や、モース硬度が7である単結晶シリコンを好適に用いることができる。そして、その中でも、石英は、ダイシングソーによる切断を行ったときの切断のばらつきが5μm程度であるが、単結晶シリコンの場合は、ダイシングソーによる切断を行ったときの切断のばらつきは1~2μm程度と非常に少ないため、単結晶シリコンをより好適に用いることができる。また、単結晶シリコンは、サファイア等と比して安価であり、LED素子の結晶成長用の基板3として単結晶シリコンを用いることにより高品質のLED素子2を安価に製造することができる。

【0020】また、上記のLED素子2においては、活性層7であるInGaN/GaN層のInGaNに希土類元素をドーピングすることにより、LED素子2から得られる発光の色を変化させることができる。ここで、InGaNにドーピング可能な希土類元素としては、例えば、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu等を用いることができる。特に、Eu、Sm、Erをドーピングすることにより、赤色発光を得ることができ、Tbをドーピングすることにより緑色発光を得ることができ、また、Tmをドーピングすることにより青色発光を得ることができる。

【0021】以上のようにして、InGaNに所定の希土類元素をドーピングし、例えば第一色、第二色、第三色の三種類のLED素子をそれぞれ配置した三種類の画像表示素子を作製し、当該画像表示素子を図4に示すように第一色の画像表示素子12、第二色の画像表示素子13、第三色の画像表示素子14の順で順次配置し、p電極10及びn電極11を例えばワイヤ等を用いて配線することにより、カラー表示装置を簡便かつ効率的に構成することができる。

【0022】また、上記においてInGaNにドーピングする希土類元素を選択し、第一色を青色、即ち450~4

80nmの発光波長帯域、第二色を緑色、即ち500～540nmの発光波長帯域、第三色を赤色、即ち610～640nmの発光波長帯域に設定することにより、RGBの3色を揃えることができ、これらRGB3色の画像表示素子を図4に示すように順次配置し、p電極及びn電極を例えばワイヤ等を用いて配線することにより、高品質のフルカラー表示装置を簡便かつ効率的に構成することができる。

【0023】以上のように構成された画像表示素子1は、次のようにして作製することができる。

【0024】まず、LED素子の結晶成長用の基板3単結晶シリコン基板を用意し、単結晶シリコン基板を有機溶剤等を用いて洗浄する。洗浄した基板を、例えばMOCVD (Metal Organic Chemical Vapor Deposition) 装置内に挿入し、基板温度を例えば800～1050℃の温度に加熱することによりサーマルクリーニングを施す。

【0025】次に、単結晶シリコン基板の一主面上に、例えば成長温度700～1000℃の温度においてn側バッファ層4としてAlN:Si層を形成する。

【0026】次に、単結晶シリコン基板を例えば700～1000℃の温度に加熱し、AlN:Si層上にバッファ層5としてGaN:Si層を0.1μm以上の厚みに形成する。

【0027】次に、単結晶シリコン基板を例えば1000℃の温度に加熱し、GaN:Si層上に、n側クラッド層6として(Al)GaN:Si層を1μm程度の厚みに形成する。ここで、Al層は、必要に応じて混入させれば良く、必ずしも形成する必要はない。

【0028】次に、単結晶シリコン基板を例えば600～800℃の温度に加熱し、AlGaN層上に、多重量子井戸構造(MQW: Multi-Quantum-Well)の活性層7としてInGaN/GaN層を1～6nm程度の厚みに形成する。ここで、InGaN/GaN層中のInの含有量は、要求される発光波長、即ち発光色により異なるが、1%～80%程度とすることが好ましい。例えば、InGaN/GaN層中のInの含有量を20%程度とすることにより青色の発光を得ることができ、40%程度とすることにより緑色の発光を得ることができ、また、50%以上とすることにより赤色の発光を得ることができる。また、活性層としては、InGaN/GaNの他にInGaN/AlGaNやInGaN/AlN等を用いることもできる。

【0029】また、InGaNに希土類をドーピングすることにより、LED素子2から得られる発光の波長、即ち色を変化させることができる。ここで、AlGaNにドーピング可能な希土類としては、例えば、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu等を用いることができる。特に、Eu、Sm、Erをドーピングすることにより、赤色

発光を得ることができ、Tbをドーピングすることにより緑色発光を得ることができ、また、Tmをドーピングすることにより青色発光を得ることができる。

【0030】次に、単結晶シリコン基板を例えば980℃の温度に加熱し、InGaN/GaN層上に、p側クラッド層8としてAlGaN:Mg層を0.1～0.2μm程度の厚みに形成する。ここで、AlGaNにホウ素を混入することにより、その下のInGaNの特性の向上やオーバーフロー電子抑制による発光効率の向上の効果をを得ることができる。

【0031】次に、単結晶シリコン基板を例えば800～980℃の温度に加熱し、AlGaN:Mg膜上に、p側コンタクト層9としてGaN:Mgを0.1μm程度の膜厚に形成する。

【0032】上記において、Gaの原料としては、トリメチルガリウム(TMGa)やトリエチルガリウム(TEGa)を用いることができる。また、Nの原料としては、NH₃を用いることができる。そして、Mgの原料としては、ビスメチルシクロペンタジエニルマグネシウム((MeCp)₂Mg)やジシクロペンタンマグネシウム(Cp₂Mg)を用いることができる。

【0033】次に、上記において結晶成長させた基板を例えば800℃程度の温度で10分間アニールすることによりp型のキャリアを活性化することができる。

【0034】次に、GaN:Mg層上に電極パッド16を形成する。上記基板を洗浄し、次に、基板の結晶成長させた側の主面にスピコートでレジストを塗布し、電極パッド16の大きさ及び形状に対応したフォトマスクを用いて露光、現像を行う。そして、現像後、例えばNi/Pt/Auをそれぞれ10nm、100nm、300nm程度の膜厚に蒸着法により成膜し、アセトンでリフトオフを行うことにより電極パッドを形成する。

【0035】次に、透明電極を形成する。上記電極パッド16を形成した基板を洗浄し、次に、スピコートで基板の結晶成長させた側の主面にレジストを塗布し、形成する透明電極17の大きさ及び形状に対応したフォトマスクを用いて露光、現像を行う。そして、現像後、例えばAuを膜厚10nmに蒸着法により成膜し、アセトンでリフトオフを行うことにより透明電極17を形成する。

【0036】次に、素子分離を行う。素子分離は、例えばリアクティブイオンエッチング(RIE)等を用いて、GaN:Si膜の所定の厚みまでエッチングすることにより行うことができる。

【0037】次に、基板の裏面研磨を行う。素子分離を行った基板の電極パッド16等を形成した側の表面に、保護膜としてスピコートでフォトレジストを塗布する。そして、研磨機等を用いてLED素子の厚みが例えば100μm程度になるまで基板の裏面、即ち電極パッド16等を形成した側と反対側の主面の研磨を行う。

【0038】次に、n電極11を形成する。n電極11としては、Au、Al又はCuを用いる。裏面研磨を施した基板の裏面、即ち研磨を施した側の主面に形成された酸化膜をウェットエッチング等により除去する。次に、基板の表面、即ち上記電極パッド16等を形成した側の表面に保護膜として形成したフォトレジストをアセトン等により除去し、基板の裏面、即ちウェットエッチングを施した側の主面に例えばAuを300nm程度の厚みに蒸着法により成膜することによりn電極11を形成する。

【0039】次に、LED素子2が画像表示素子1上に直線状に複数配列するように例えばダイシングソー等を用いてへき開を行うことにより、図1、図2に示すような画像表示素子1を作製することができる。このとき、上記において作製したn電極11も各画像表示素子1に分離される。

【0040】第2の実施の形態

図5乃至図7に、本発明を適用した画像表示素子の他の例を示す。図5は、本発明を適用した画像表示素子25の平面図である。図6は、図1のX₁-X₂線における縦断面図である。また、図7は、LED素子部の縦断面図である。

【0041】上記画像表示素子25は、LED素子26の結晶成長用の基板であるSi基板と、Si基板の一主面上に形成されたn側バッファ層18であるGa_{0.5}N_{0.5}層と、Ga_{0.5}N_{0.5}層上に形成され活性層成長孔19を備えたマスク20であるSiO₂と、活性層成長孔19中に形成されたn側クラッド層21であるGa_{0.5}N_{0.5}層と、活性層成長孔19中及びマスク20上に形成された活性層22であるInGa_{0.5}N_{0.5}/Ga_{0.5}N_{0.5}層と、InGa_{0.5}N_{0.5}/Ga_{0.5}N_{0.5}層上に形成されたp側クラッド層23であるAlGa_{0.5}N_{0.5}/Mg層と、AlGa_{0.5}N_{0.5}/Mg層上に形成されたp側コンタクト層24であるGa_{0.5}N_{0.5}/Mg層と、Ga_{0.5}N_{0.5}/Mg層上に形成されたp電極10と、Si基板の他主面に形成されたn電極11とを有するLED素子26を複数備えて構成される。

【0042】上記画像表示素子25は、活性層22を形成する際にマスク20を用いていること以外は、基本的な構成は、第1の実施の形態とほぼ同様であり、同様の効果を有する。したがって、ここでは、第1の実施の形態と異なるマスク20を使用しての活性層22の形成について説明する。

【0043】上記LED素子26においては、LED素子の結晶成長用の基板3である単結晶シリコン基板の一主面上に、n側バッファ層19であるGa_{0.5}N_{0.5}層が形成され、当該Ga_{0.5}N_{0.5}層上にマスク20としてSiO₂が形成されている。そして、当該マスクには、図8、図9に示すように縦横方向において所定の直線状に並ぶように活性層成長孔19が設けられている。活性層成長孔19は、活性層22を成長させる際に中心となる部分であ

り、活性層成長孔19の底部には、n側クラッド層21としてGa_{0.5}N_{0.5}層が例えば1μm程度の厚みに形成される。そして、Ga_{0.5}N_{0.5}層上に活性層成長孔19を埋め、活性層22であるInGa_{0.5}N_{0.5}/Ga_{0.5}N_{0.5}層が更にマスク20の上面に沿って例えば六角形に形成されている。

【0044】以上のような構成とすることにより、画像表示素子25上におけるLED素子26の位置決めを簡便かつ確実に行うことができ、LED素子26の配置精度の良い画像表示素子25とすることができる。

【0045】以上のように構成された画像表示素子25は、次のようにして作製することができる。

【0046】まず、LED素子の結晶成長用の基板3として単結晶シリコン基板を用意し、当該単結晶シリコン基板を有機溶剤等を用いて洗浄する。洗浄した基板を、MOCVD (Metal Organic Chemical Vapor Deposition) 装置内に挿入し、基板温度を例えば800~1050℃の温度に加熱することによりサーマルクリーニングを施す。

【0047】次に、単結晶シリコン基板の一主面上に、例えば成長温度800~1000℃の温度においてn側バッファ層18としてGa_{0.5}N_{0.5}層を形成する。このGa_{0.5}N_{0.5}層の厚みは、Siのドーピング濃度により変化するが、3μm程度が好ましい。

【0048】次に、Ga_{0.5}N_{0.5}層上に、マスク20としてSiO₂を0.2μm程度の厚みに形成する。そして、図8に示すようにマスクに、深さ0.2μm程度の活性層成長孔19を縦、横にそれぞれ直線状に並ぶように所定の数だけ空ける。ここで、マスクに空けた活性層成長孔19は、後の工程において活性層22の中心となる部分であり、表示装置等を構成した際の画素に対応するものである。また、マスク20は、SiNを用いて形成しても良い。

【0049】次に、単結晶シリコン基板を例えば800~1000℃の温度に加熱し、n側クラッド層21としてGa_{0.5}N_{0.5}層を1μm程度形成し、更に単結晶シリコン基板を例えば600~800℃の温度に加熱してGa_{0.5}N_{0.5}層上に多重量子井戸構造 (MQW: Multi-Quantum-Well) の活性層22としてInGa_{0.5}N_{0.5} (3nm~6nm程度) /Ga_{0.5}N_{0.5} (5nm程度) を形成する。ここで、Ga_{0.5}N_{0.5}層及びInGa_{0.5}N_{0.5}/Ga_{0.5}N_{0.5}層は、最初はマスク20上には形成されず、マスク20に空けた活性層成長孔19の中に形成される。そして、活性層成長孔19が埋まった後は、活性層成長孔19の部分を中心としてマスク20の上面に沿って周りに広がり、六角形状に形成される。このとき、各活性層成長孔19から広がって成長した隣接する活性層22同士が繋がらないように調整する。

【0050】このように、Ga_{0.5}N_{0.5}層上にマスク20を形成し、マスク20に活性層成長孔19を空けて活

10

20

30

40

50

性層22を形成し、各活性層成長孔19に成長した隣接する活性層22が繋がらないように制御してすることにより、上述した第1の実施の形態で行った素子分離の工程を簡便化することができる。

【0051】また、InGa_N/Ga_N膜中のInの含有量は、要求される発光波長により異なるが、1%~80%程度とすることが好ましい。また、障壁層としては、InGa_N/Ga_Nの他にInGa_N/AlGa_NやInGa_N/Al_N等を用いることもできる。

【0052】また、第1の実施の形態と同様に、InGa_Nに希土類をドーブすることにより、LED素子26から得られる発光の色を変化させることができる。

【0053】次に、単結晶シリコン基板を例えば800~980℃の温度に加熱し、InGa_N/Ga_N膜上に、p側クラッド層23としてAlGa_N:Mg層を0.1~0.2μm程度の膜厚に形成する。

【0054】次に、単結晶シリコン基板を例えば800~980℃の温度に加熱し、AlGa_N:Mg層上に、p側コンタクト層24としてGa_N:Mgを0.1μm程度の膜厚に形成する。p側コンタクト層24としてのGa_N:Mgは、Mg濃度を高めに形成する。

【0055】ここで、活性層22をクラッドしているGa_N層、AlGa_N層には、必要に応じてBを混入し、Alの含有率を多くした、BA₁Ga_N等を用いても良い。Bを混入することにより、その下のInGa_Nの安定性向上や電子オーバーフローを抑えて発光効率の向上の効果を得ることができる。

【0056】上記において、Ga、N、Mgの原料としては、第1の実施の形態と同様のものを用いることができる。

【0057】次に、Ga_N:Mg層上に電極パッド16を形成する。上記基板を洗浄し、基板の結晶成長させた側の主面にスピナーでレジストを塗布し、電極パッド16の大きさ及び形状に対応したフォトマスクを用いて露光、現像を行う。そして、現像後、例えばNi/Pt/Auをそれぞれ10nm、100nm、300nm程度の膜厚に蒸着法により成膜し、アセトンでリフトオフを行うことにより電極パッド16を形成する。また、Ni/Pt/Auの代わりにTi/Al/Pt/Au等を形成しても良い。

【0058】次に、透明電極17を形成する。上記電極パッド16を形成した基板を洗浄し、スピナーで基板の結晶成長させた側の主面にレジストを塗布し、形成する透明電極17の大きさ及び形状に対応したフォトマスクを用いて露光、現像を行う。そして、現像後、例えばAuを膜厚10nmに蒸着法により成膜し、アセトンでリフトオフを行うことにより透明電極17を形成する。

【0059】次に、素子分離を行う。素子分離は、例えばリアクティブイオンエッチング(RIE)等を用いて

行うことができる。この場合、隣接する活性層及びクラッド層等は接触しておらず、それぞれ独立して形成されているため、その側面をエッチングすることにより、素子の形状調整程度とすることができる。通常は、上述した活性層等は、六角形状に成長するため、六角形状にエッチングを施すことにより素子分離を行っても良い。

【0060】次に、基板の裏面研磨を行う。素子分離を行った基板の電極パッド16等を形成した側の表面に、保護膜としてスピナーでフォトリソを塗布する。そして、研磨機等を用いてLED素子の厚みが例えば100μm程度になるまで基板の裏面、即ち電極パッド16等を形成した側と反対側の主面の研磨を行う。

【0061】次に、n電極11を形成する。n電極11としては、Au、Al又はCuを用いる。裏面研磨を施した単結晶シリコン基板の裏面、即ち研磨を施した側の主面に形成された酸化膜をウェットエッチング等により除去する。そして、基板の表面、即ち上記電極パッド16等を形成した側の表面に保護膜として形成したフォトリソをアセトン等により除去し、基板の裏面、即ちウェットエッチングを施した側の主面に例えばAuを0.2μm程度の厚みに蒸着法により成膜することによりn電極11を形成する。

【0062】次に、単結晶シリコン基板を例えば600~800℃程度の温度で10分間アニールすることによりp型のキャリアを活性化することができる。

【0063】次に、それぞれの素子を各素子の長手方向に素子が複数配列するように例えばダイシングソー等を用いてへき開を行うことにより、図5、図6に示すような画像表示素子25を作製することができる。このとき、結晶成長に用いたSi基板の結晶成長させた側と反対側の主面一面に設けられたn電極11も各画像表示素子25に分離されている。

【0064】

【実施例】以下、具体的な実施例を用いて説明する。

【0065】実施例1

上述した第1の実施の形態に基づき画像表示素子を作製した。

【0066】まず、単結晶シリコン基板を準備し、有機溶剤を用いて洗浄した。そして、洗浄した基板を、MOCVD (Metal Organic Chemical Vapor Deposition) 装置内に挿入し、基板を800℃に加熱することによりサーマルクリーニングを施した。

【0067】次に、単結晶シリコン基板を750℃に加熱し、当該基板の一主面上にバッファ層としてAl_N:Si層を0.1μmの厚みに形成した。

【0068】次に、単結晶シリコン基板を800℃に加熱し、Al_N:Si層上にバッファ層としてGa_N:Si層を0.5μmの厚みに形成した。

【0069】次に、単結晶シリコン基板を1000℃に加熱し、Ga_N:Si層上に、クラッド層としてAlG

aN:Mg層を0.2μmの厚みに形成した。

【0070】次に、単結晶シリコン基板を700℃に加熱し、AlGaIn層上に、多重量子井戸構造(MQW: Multi-Quantum-Well)の活性層としてInGaIn/GaN層を3nmの厚みに形成した。

【0071】次に、単結晶シリコン基板を980℃に加熱し、InGaIn/GaN層上に、クラッド層としてAlGaIn:Si層を1μmの厚みに形成した。

【0072】次に、単結晶シリコン基板を980℃に加熱し、AlGaIn:Mg膜上に、コンタクト層としてGaN:Mgを0.1μmの厚みに形成した。

【0073】次に、単結晶シリコン基板を洗浄し、単結晶シリコン基板の結晶成長させた側の主面にスピナーでレジストを塗布し、所定の大きさ及び形状のフォトマスクを用いて露光、現像を行った。現像後、Ni/Pt/Auをそれぞれ10nm、100nm、300nmの厚みに蒸着法により成膜し、アセトンでリフトオフを行うことにより電極パッドを形成した。

【0074】次に、上記電極パッドを形成した基板を洗浄し、スピナーで単結晶シリコン基板の結晶成長させた側の主面にレジストを塗布し、所定の大きさ及び形状のフォトマスクを用いて露光、現像を行った。現像後、Auを膜厚10nmに蒸着法により成膜し、アセトンでリフトオフを行うことにより透明電極を形成した。

【0075】次に、リアクティブイオンエッチング(RIE)により、GaN:Si層の所定の厚みまでエッチングすることにより素子分離を行った。

【0076】次に、素子分離を行った単結晶シリコン基板の電極パッド等を形成した側の表面に、保護膜としてスピナーでフォトレジストを塗布した。そして、研磨機を用いてLED素子の厚みが100μmになるまで単結晶シリコン基板の裏面、即ち電極パッド等を形成した側と反対側の主面の研磨を行った。

【0077】次に、裏面研磨を施した単結晶シリコン基板の裏面、即ち研磨を施した側の主面に形成された酸化膜をウェットエッチングにより除去した。次に、基板の表面、即ち上記電極パッド等を形成した側の表面に保護膜として形成したフォトレジストをアセトンにより除去し、基板の裏面、即ちウェットエッチングを施した側の主面にAuを300nmの厚みに成膜することによりn電極を形成した。

【0078】次に、ダイシングソーを用いて、LED素子が画像表示素子上に直線状に5~50個配列するようにへき開を行い、画像表示素子を作製した。

【0079】そして、上記において作製した画像表示素子を図4に示すように貼り合わせ、電極の配線を施すことにより、LED表示装置を構成した。

【0080】以上により構成されたLED表示装置を電流駆動により画像情報を表示させたと、高輝度、高品質の画像を得ることができた。

【0081】以上において得られたLED表示装置は、LED素子の結晶成長に使用した基板にLED素子7個を備えた画像表示素子を並べることにより構成されている。これにより、LED素子を1個ずつ並べる必要がなくなり画像表示素子を基本単位として実装することができ、LED素子の実装を効率的に、かつ簡便に行うことができた。また、電極の配線に関しても、画像表示素子毎に行えば良く、LED素子1個ずつ配線する必要がないため、電極の配線を効率的に、かつ簡便に行うことができ、また、配線の信頼性も向上した。

【0082】実施例2

上述した第2の実施の形態に基づき画像表示素子を作製した。

【0083】まず、単結晶シリコン基板を用意し、有機溶剤を用いて洗浄した。そして、洗浄した基板を、MOCVD(Metal Organic Chemical Vapor Deposition)装置内に挿入し、基板を800℃に加熱することによりサーマルクリーニングを施した。

【0084】次に、単結晶シリコン基板を750℃に加熱し、当該基板の一主面上にバッファ層としてGaN:Si層を3μmの厚みに形成した。

【0085】次に、GaN:Si層上に、マスクとしてSiO₂を0.2μmの厚みに形成した。マスクには、深さ0.2μmの活性層成長孔を縦横方向に所定の数だけ形成した。

【0086】次に、基板を1000℃に加熱し、クラッド層としてGaN:Si層を1μmの厚みに形成した。更に基板を700℃に加熱してGaN:Si層上に多重量子井戸構造(MQW: Multi-Quantum-Well)の活性層としてInGaIn(3nm)/GaN(5nm)を形成した。赤色光を発光するLED素子を作製するために、活性層にEuをドーピングした。活性層は、最初はマスク上には形成されず、マスクに空けた活性層成長孔の中に形成された。そして、活性層成長孔が埋まった後は、活性層成長孔の部分を中心としてマスクの上面に沿って周りに広がり、円状に形成された。

【0087】次に、基板を1000℃の温度に加熱し、InGaIn/GaN層膜上に、クラッド層としてAlGaIn:Mg層を0.2μmの厚みに形成した。

【0088】次に、基板を1000℃に加熱し、AlGaIn:Mg層上に、コンタクト層としてGaN:Mgを0.1μmの厚みに形成した。

【0089】次に、単結晶シリコン基板を洗浄し、基板の結晶成長させた側の主面にスピナーでレジストを塗布し、所定の大きさ及び形状のフォトマスクを用いて露光、現像を行った。現像後、Ni/Pt/Auをそれぞれ10nm、100nm、300nmの厚みに蒸着法により成膜し、アセトンでリフトオフを行うことにより電極パッドを形成した。

【0090】次に、上記電極パッドを形成した基板を洗

浄し、スピンコーターで単結晶シリコン基板の結晶成長させた側の主面にレジストを塗布し、所定の大きさ及び形状のフォトマスクを用いて露光、現像を行った。現像後、Auを膜厚10nmに蒸着法により成膜し、アセトンでリフトオフを行くことにより透明電極を形成した。

【0091】次に、リアクティブイオンエッチング(RIE)により、活性層等の側面をクラッド層の所定の厚みまでエッチングすることにより素子分離を行った。

【0092】次に、素子分離を行った単結晶シリコン基板の電極パッド等を形成した側の表面に、保護膜としてスピンコーターでフォトレジストを塗布した。そして、研磨機等を用いてLED素子の厚みが例えば100μm程度になるまで基板の裏面、即ち電極パッド等を形成した側と反対側の主面の研磨を行った。

【0093】次に、裏面研磨を施した単結晶シリコン基板の裏面、即ち研磨を施した側の主面に形成された酸化膜をウエットエッチングにより除去した。そして、基板の表面、即ち上記電極パッド等を形成した側の表面に保護膜として形成したフォトレジストをアセトンにより除去し、単結晶シリコン基板の裏面、即ちウエットエッチングを施した側の主面にAuを500nmの厚みに蒸着法により成膜することによりn電極を形成した。

【0094】次に、上記において結晶成長させた基板を800℃の温度でアニールすることによりp型のキャリアを活性化させた。

【0095】次に、ダイシングソーを用いて、LED素子が画像表示素子上に直線状に7個配列するようにへき開を行い、赤色発光用の画像表示素子を作製した。

【0096】活性層にEuの代わりにTbをドーブすること以外は上記と同様にして、緑色発光用の画像表示素子を作製し、活性層にEuの代わりにTmをドーブすること以外は上記と同様にして、青色発光用の画像表示素子を作製した。

【0097】そして、上記において作製した画像表示素子を図4に示すように貼り合わせ、電極の配線を施すことにより、LED表示装置を構成した。

【0098】以上により構成したLED表示装置を電流駆動により画像情報を表示させたところ、高輝度、高色品質の画像を得ることができた。

【0099】以上において得られたLED表示装置は、LED素子の結晶成長に使用した基板にLED素子7個備えた画像表示素子を並べることにより構成されている。これにより、LED素子を1個ずつ並べる必要がなくなり画像表示素子を基本単位として実装することがで

きるため、LED素子の実装を効率的に、かつ簡便に行うことができた。また、電極の配線に関しても、画像表示素子毎に行えば良く、LED素子1個ずつ配線する必要がないため、電極の配線を効率的に、かつ簡便に行うことができ、また、配線の信頼性も向上した。

【0100】

【発明の効果】以上詳細に説明したように、本発明に係る画像表示素子は、多層構造を有する発光ダイオード素子の各層が順次結晶成長されてなる結晶成長用基板が分割され、複数の発光ダイオード素子が直線状に配列された棒状体とされる。

【0101】そのため、本発明に係る画像表示素子は、表示装置等を形成する際のLED素子の実装工数及び電極の配線数が大幅に削減することが可能となる。

【0102】したがって、本発明に係る画像表示素子は、表示装置等を構成する際に生産効率の優れたものとなり、また、視認性の良い高画質画像を表示することができる。

【図面の簡単な説明】

【図1】本発明を適用した画像表示素子の一例の平面図である。

【図2】図1のX₁-X₂線における縦断面図である。

【図3】図2のLED素子部の拡大縦断面図である。

【図4】本発明を適用した画像表示素子を用いて表示装置を構成した状態を示す図である。

【図5】本発明を適用した画像表示素子の他の例の平面図である。

【図6】図5のX₃-X₄線における縦断面図である。

【図7】図6のLED素子部の拡大縦断面図である。

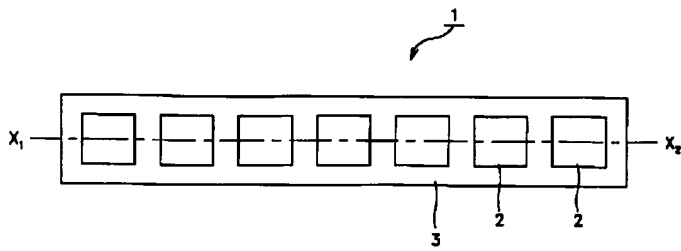
【図8】マスクに活性層成長孔を形成した状態を示す平面図である。

【図9】マスクに活性層成長孔を形成した状態を示す縦断面図である。

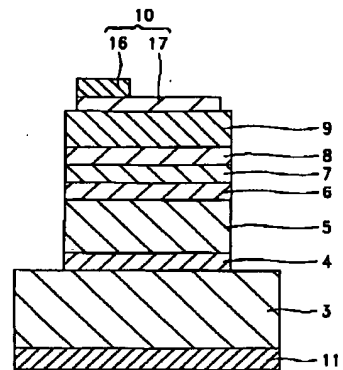
【符号の説明】

1 画像表示素子、2 LED素子、3 LED素子の結晶成長用の基板、4 n側バッファ層、5 n側バッファ層、6 n側クラッド層、7 活性層、8 p側クラッド層、9 p側コンタクト層、10 p電極、11 n電極、16 電極パッド、17 透明電極、18 n側バッファ層、19 活性層成長孔、20 マスク、21 n側クラッド層、22 活性層、23 p側クラッド層、24 p側コンタクト層、25 画像表示素子、26 LED素子

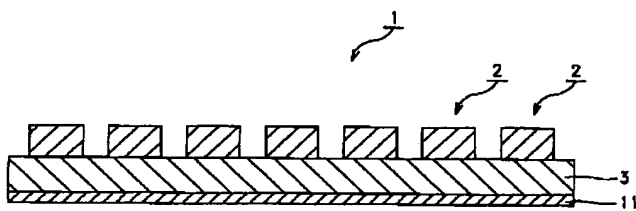
【図1】



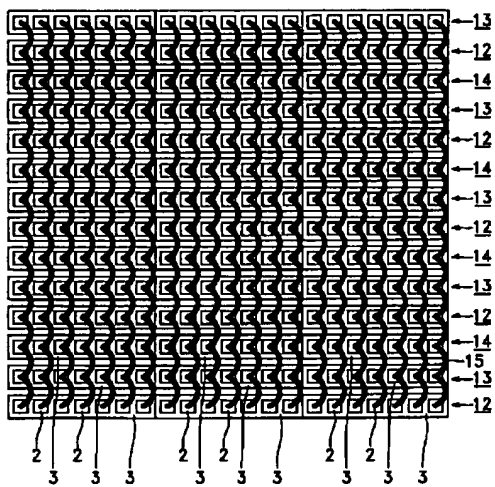
【図3】



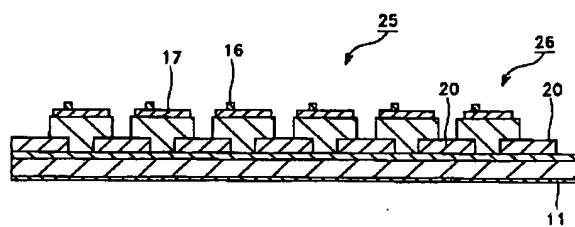
【図2】



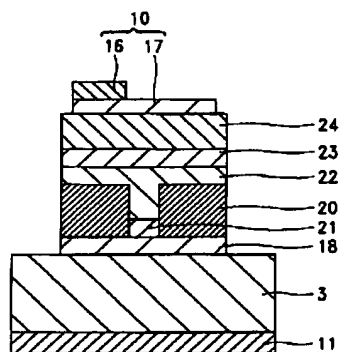
【図4】



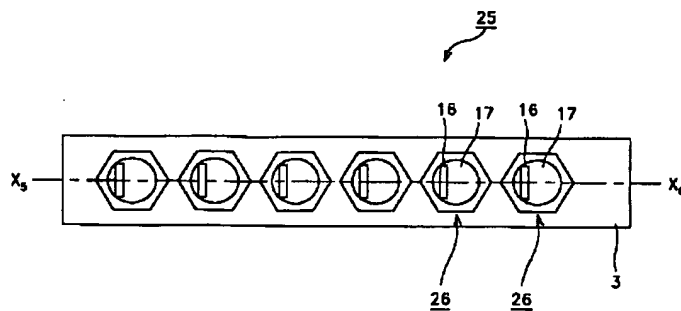
【図6】



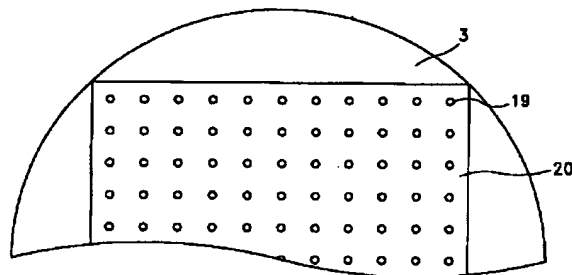
【図7】



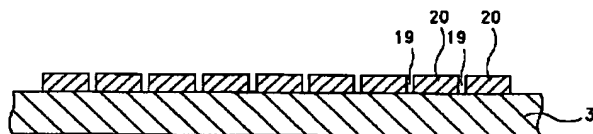
【図5】



【図8】



【図9】



フロントページの続き

(72)発明者 中尾 勇
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(72)発明者 白井 克弥
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 小島 繁
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
Fターム(参考) SC094 AA01 AA43 AA44 AA45 BA26
CA19 DA03 EA04 EA07 EB05
5F041 AA14 AA42 CA05 CA33 CA34
CA40 CA57 CA65 CA73 CA76
CA82 CA92 FF06